

⑫ 公開特許公報(A) 平4-102951

⑬ Int. Cl.⁵

G 06 F 13/00
13/12
15/00

識別記号

3 5 3 S
3 1 0 F
3 2 0 L

庁内整理番号

7368-5B
7230-5B
7218-5L

⑭ 公開 平成4年(1992)4月3日

審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 データ転送制御方式

⑯ 特 願 平2-220587

⑰ 出 願 平2(1990)8月22日

⑱ 発 明 者 増 田 悦 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 上 森 明 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 発 明 者 南 川 育 穂 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

㉑ 発 明 者 小 林 大 剛 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

㉒ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 磯村 雅俊

① 発明の名称

データ転送制御方式

2. 特許請求の範囲

(1) データ端末装置を非同期式直列インタフェースで収容し、中央処理装置からの制御に基づいて前記データ端末装置に関する送受信データのDMA転送を、主記憶装置との間で実行する入出力制御装置のデータ転送制御方式において、前記入出力制御装置にデータ受信間隔を監視する受信間隔監視タイマを設けて、該監視タイマが予め設定された規定値に達した場合に、前記中央処理装置にアテンション割り込みをかけることを特徴とするデータ転送制御方式。

(2) 前記アテンション割り込みにより、その時点の受信データ数を前記中央処理装置に通知し、以後、前記中央処理装置からの受信DMAオーダに基づいてDMA転送を実行することを特徴とする請求項1記載のデータ転送制御方式。

(3) データ端末装置を非同期式直列インタフェースで収容し、中央処理装置からの制御に基づいて前記データ端末装置に関する送受信データのDMA転送を、主記憶装置との間で実行する入出力制御装置のデータ転送制御方式において、前記入出力制御装置に受信データのエラー検出手段を設けて、該エラー検出手段が受信エラーを検出した場合に、アテンション割り込みにより前記中央処理装置に、当該ケースを示すステータスおよびその時点の受信データ数を通知し、以後、前記中央処理装置からの受信DMAオーダに基づいてDMA転送を実行することを特徴とするデータ転送制御方式。

(4) データ端末装置を非同期式直列インタフェースで収容し、中央処理装置からの制御に基づいて前記データ端末装置に関する送受信データのDMA転送を、主記憶装置との間で実行する入出力制御装置のデータ転送制御方式において、前記入出力制御装置に一定サイズの受信データバッファと受信データを計測・保持する手段を設け、前記受

信データバッファが満杯になった場合に、前記中央処理装置に、アテンション割り込みにより当該ケースを示すステータスおよびその時点の受信データ数を通知し、以後、前記中央処理装置からの受信DMAオーダに基づいてDMA転送を実行することを特徴とするデータ転送制御方式。

(5)請求項1〜4に記載の手段を併せ持ち、

①前記監視タイマが予め設定された規定値に達した場合、

②前記エラー検出手段が受信エラーを検出した場合、または、

③前記受信データバッファが満杯になった場合のいずれか一つが発生したときに、前記中央処理装置に、アテンション割り込みにより当該ケースを示すステータスおよびその時点の受信データ数を通知し、以後、前記中央処理装置からの受信DMAオーダに基づいてDMA転送を実行することを特徴とするデータ転送制御方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

個、1個半または2個のストップビットで構成されている。

なお、第2図に示す如き基本構成において、CPU22がDT24に関するデータをIOC21から受信する方式としては、

①プログラム転送方式：

IOC21内の受信ステータスをプログラムによりチェックして逐次読み取る方式と、

②DMA転送方式：

受信DMAオーダをIOC21に対し発行し、IOC-MM(主記憶装置)間の転送はIOC21自身に任せ、IOC21からの転送終了報告を待つ方式

の二種類があるが、本発明は、後者を対象とするものである。

第5図は、従来のデータ転送制御方式の例を示す図であり、DTから一連のデータをCPUが入力する場合のシーケンス図である。同図(a)に示すケース1は、CPU側がDTに対してデータ入力を入力指示メッセージで指示し、これを受けた

本発明は、データ端末装置を収容する入出力制御装置のデータ転送制御方式に関し、特に上記データ端末装置から受信する受信データを主記憶装置へ転送する際のデータ転送制御方式に関する。

〔従来の技術〕

第2図は、データ転送制御の基本システム構成を示す図である。図において、21はCPU22側から送られるデータをバッファ23内に一旦蓄積し、指定されたデータ端末装置(以下、「DT」という)24へ転送したり、逆に、DT24から受け取ったデータをバッファ23内に一旦蓄積し、CPU22側へ転送する入出力制御装置(以下、「IOC」という)を示している。ここで、IOC-DT間は、RS232C等のビットシリアルなインタフェースで接続され、かつ、転送方式としては、キャラクタ毎にスタートビットとストップビットを付加する非同期方式とする。

第3図に、上記非同期直列データ転送方式におけるデータ単位を示す。図に示される如く、非同期直列データ単位は、1個のスタートビット、1

DT側がデータを投入する、言わば、CPU主導のデータ入力の場合を示しており、同図(b)に示すケース2は、DTからCPU側へ投入すべきデータが存在する旨のステータス情報をアテンション割り込みで通知し、その後、DTからデータを投入する、言わば、DT主導のデータ入力の場合を示している。

上記ケース1、ケース2の②データ入力フェーズにおいて、CPUはIOCに対してDMAオーダを発行するが、該オーダ中で指定する転送データ数(WC)の値は、この時点では不明なため、∞かダミーを設定する。このDMAオーダを受けたIOCは、第6図に示す如き動作フローに従ってデータ受信制御を実行する。すなわち、DTから一般データを受信する毎に、MMへのDMA転送を行う。

IOCはDMAオーダ中のWCがWC=∞またはダミーであって、転送終了条件として使用することができないため、DTからデータを受信する都度、それが終了キャラクタか否かをチェックし

ており、終了キャラクタの場合にDMA処理が終了と認識し、ステータス情報、転送データ数等を設定し、CPUの割り込みを行う。

なお、上記データ入力処理では、IOCはDTからの1個のデータを受信する毎に、すなわち、DTの動作に同期して、MMへのDMA転送を実行する方式を示しているが、終了キャラクタを受信するまでIOC内蔵バッファに蓄積し続け、上記キャラクタを受信した時点で一斉にDMA転送する、すなわち、DTの動作とは非同期に転送する方式も有り得る。

上記従来技術に関しては、例えば、日本電信電話公社編「D10形自動交換機 第8部入出力装置」(電気通信共済会昭和47年6月発行)、または、「改良形共通線信号装置の構成」(研究実用化報告第28巻第4号、日本電信電話公社武蔵野電気通信研究所昭和54年4月発行)の記載が参考になる。

〔発明が解決しようとする課題〕

上述の従来技術においては、以下の点が問題となる。

る場合には、送信側のステータス情報に冗長フィールドが生ずることになる。

(3)同じく、受信データ数が事前に分からないため、DMAオーダ発行時点から終了報告時点までの時間が予め分からない。IOCの障害検出のために終了報告までのタイミング監視が通常行われるが、その場合、タイミング値としては起こり得る最大のDMA転送数を見込まなければならず、障害検出遅延が大きくなる恐れがある。

本発明は上記事情に鑑みてなされたもので、その第一の目的は、終了キャラクタのコードあるいは終了キャラクタ自身の異なる端末がIOCに接続された場合にも対応可能なデータ転送制御方式を提供することにある。また、第二の目的は、中央処理装置がDMAオーダを発行する際に必要となるその時点の受信データ数を、必要な時点で上記中央処理装置に通知するようにしたデータ転送制御方式を提供することにある。

〔課題を解決するための手段〕

(1)DMA転送の終了を終了キャラクタの検出で判定する方式であるため、終了キャラクタのコードあるいは終了キャラクタ自身の異なる端末が接続された場合には対応できなくなる。すなわち、IOCは接続端末の違いに対する融通性に欠けるという問題がある。

(2)CPUはIOCがDTからDMA転送対象のデータを受信し終わる前に、該IOCに対しDMAオーダを発行するため、DMAオーダ内のWC値をWC=∞あるいはダミーとせざるを得ない。従って、終了報告を受けたとき、終了ステータス中のWC値でオーダ正常終了を判定することはできない。すなわち、IOCは終了割り込み時のステータス情報に、送信の場合には不要な

*オーダ実行結果の成否

*受信データ数

を含めなければならない。その結果、送信DMAオーダに対する終了ステータス内容との間に不一致が生ずる。逆に、無理に一致させ

本発明の上記目的は、データ端末装置を非同同期式直列インタフェースで収容し、中央処理装置からの制御に基づいて前記データ端末装置に関する送受信データのDMA転送を、主記憶装置との間で実行する入出力制御装置のデータ転送制御方式において、前記入出力制御装置にデータ受信間隔を監視する受信間隔監視タイマを設けて、該監視タイマが予め設定された規定値に達した場合に、前記中央処理装置にアテンション割り込みをかけることを特徴とするデータ転送制御方式、もしくは、データ端末装置を非同同期式取列インタフェースで収容し、中央処理装置からの制御に基づいて前記データ端末装置に関する送受信データのDMA転送を、主記憶装置との間で実行する入出力制御装置のデータ転送制御方式において、前記入出力制御装置にデータ受信間隔を監視する受信間隔監視タイマ、受信データのエラー検出手段、一定サイズの受信データバッファと受信データを貯蔵・保持する手段の隔なくとも一つを設けて、

①前記監視タイマが予め設定された規定値に達

した場合、

②前記エラー検出手段が受信エラーを検出した場合、または、

③前記受信データバッファが満杯になった場合の少なくとも一つが発生したときに、前記中央処理装置に、アテンション割り込みにより当該ケースを示すステータスおよびその時点の受信データ数を通知し、以後、前記中央処理装置からの受信DMAオーダに基づいてDMA転送を実行することを特徴とするデータ転送制御方式によって達成される。

[作用]

本発明に係るデータ転送制御方式においては、IOCはDMA転送対象のデータを終了キャラクタの識別で判定する代わりに、データ受信間隔の監視で判定するため、異なる終了キャラクタを用いる端末でも対応可能であり、接続端末に対する汎用性が向上する。また、CPUは、アテンション割り込み検出後、IOC内受信データ数を読み取って、それをWCとする受信DMAオーダをI

- 11 -

回路33が実行するプログラムやデータバッファのためのメモリ(ROM/RAM)を示している。

また、35はデータ受信間隔を計測するタイマを具備するタイマ制御回路(TMR)、36は前記DTとの間の汎用データ送受信回路(URT)、37は上述のアダプタ回路32、タイマ制御回路35、汎用データ送受信回路36からの割り込みを受け付け、ローカル処理回路33へ選択出力する割り込み制御回路(INTC)を示している。なお、本実施例に示すIOCは2つの汎用データ送受信回路36を収容し、シリアルインタフェースのポートを介して、DTを2台まで接続可能であるが、これは2台に限定されるものではない。

以下、まず、第4図に基づいて、受信側の動作について説明する。各DTから前記非同期方式により入力されるデータ(例えば8ビット構成)は、対応する汎用データ送受信回路36で受信される。汎用データ送受信回路36は、受信データのシリアル/パラレル変換を行うとともに、データ受信の割り込みを割り込み制御回路37を介して、ローカ

ル処理回路33へ発生する。これを検出したローカル処理回路33が、割り込み処理プログラムにより割り込み元、割り込み要因を識別し、対応する汎用データ送受信回路36から、ローカルバスを介してRAM上の受信バッファへ受信データを蓄積し、受信データ数カウンタC_Rを+1する。

更に、DMAデータ転送数は、最大でも受信バッファサイズ(例えば256バイト)毎に行い、実際のデータ転送量がバッファサイズ以上の場合は、複数のDMA転送でデータ転送を行うため、DMAオーダ発行から正常終了報告時点までの所要時間が分かり、従って、IOCの障害検出タイミング値を極端に大きくする必要もない。

[実施例]

以下、本発明の実施例を図面に基づいて詳細に説明する。

第4図は、本発明の一実施例である基本システム構成におけるIOCの内部構成例を示す図である。図において、31はシステムバスインタフェース回路(BINF)、32はMMに対するDMA転送制御機能を有するとともに、CPUがIOCを制御するための制御レジスタ類を具備するアダプタ回路(ADP)、33はIOC内の主制御を実行するローカル処理回路(LPU)、34は該ローカル処理

- 12 -

ル処理回路33へ発生する。これを検出したローカル処理回路33が、割り込み処理プログラムにより割り込み元、割り込み要因を識別し、対応する汎用データ送受信回路36から、ローカルバスを介してRAM上の受信バッファへ受信データを蓄積し、受信データ数カウンタC_Rを+1する。

一方、タイマ制御回路35内には、汎用データ送受信回路36対応に、受信間隔計測タイマT_iが保持され、更に、タイムアウト検出のための閾値εが予め設定されている。汎用データ送受信回路36からデータ受信割り込みを受けたローカル処理回路33は、タイマ制御回路35に対し、当該汎用データ送受信回路36に対応するタイマT_iのリセット/起動要求を発生する。これを受けたタイマ制御回路35は、タイマ計測を開始する。

タイマ制御回路35は、ローカル処理回路33から次のリセット/起動要求が来る前にタイマ値がεに達すると、ローカル処理回路33に対し、データ受信間隔のタイミングオーバーの割り込みを発生する。この割り込みを受けたローカル処理回路33は、

- 13 -

受信データの現在値を制御レジスタ(RCR)に移し、ステータスレジスタ(STR)にアテンション表示を行い、CPUに対し割り込みを発生する。ここで、割り込み手段は問わない。すなわち、バス経由、個別リード線経由のいずれでも良い。

IOCからの割り込みを検出したCPUは、上記ステータスレジスタ(STR)を読み、アテンション割り込みであることを知ると、更に、制御レジスタ(RCR)を読んで、受信データ数を獲得し、これを転送データ数(WC)として受信DMAオーダを編集し、アダプタ回路内の制御レジスタに書き込み、IOCを起動する。IOC内のローカル処理回路33は、IOC起動をアダプタ回路-割り込み制御回路経由の割り込みで知り、以後、一般に知られたDMA転送処理を実行する。そして、正常に終了した場合には、WC=0として終了報告を行う。

第1図は、上述のIOC内のローカル処理回路33の、端末側割り込み処理フローを示すものである。図に示す如く、CPU側へのDMA受信を促

すアテンション割り込み要因としては、実際には以下の三つがあり、最初に発生した要因によってCPUへの割り込みが行われる。

①フレーミングエラー、パリティエラー等のデータ受信エラーの発生：なお、ここで、フレーミングエラーとは、受信デバイスが非同期直列データの流れの中で、データ単位のスタートビットとストップビットを検出しない場合をいう。

②データ受信間隔の規定値(τ)オーバー

③受信バッファの満杯

なお、①の場合、受信バッファ内の最後のデータがエラーに遭遇したデータとなる。すなわち、エラーデータの処置もIOCでは行わず、CPU側に任せられる。

本実施例によれば、IOCはDMA転送対象のデータを終了キャラクタの識別で判定する代わりに、データ受信間隔の監視で判定するため、異なる終了キャラクタを用いる端末でも対応可能であり、接続端末に対する汎用性が向上する。また、

CPUは、アテンション割り込み検出後、IOC内受信データ数を読み取って、それをWCとする受信DMAオーダをIOCに発行するため、送信DMA処理とステータス情報を統一可能である。

上記実施例は本発明の一例を示したものであり、本発明はこれに限定されるべきものではない。例えば、上記実施例においては、タイマ制御回路をローカル処理回路とは独立な回路した例を示したが、タイマ制御回路は、ローカル処理回路のプログラムで実現できることは言うまでもない。また、第2図に示した基本構成においては、シングルプロセッサ構成を示しているが、マルチプロセッサ構成とした場合にも、CPU22を制御元プロセッサ、MM25をCPU22の個別メモリあるいは共通メモリとすることにより、同様に動作させることが可能である。

〔発明の効果〕

以上、詳細に説明した如く、本発明によれば、データ端末装置を非同期直列インタフェースで收容し、中央処理装置からの制御に基づいて前記

データ端末装置に関する送受信データのDMA転送を、主記憶装置との間で実行する入出力制御装置のデータ転送制御方式において、前記入出力制御装置にデータ受信間隔を監視する受信間隔監視タイマを設けて、該監視タイマが予め設定された規定値に達した場合に、受信データの終了判定を行うようにしたので、異なる終了キャラクタを用いる端末にも対応可能なデータ転送制御方式を実現できるという効果が得られる。また、中央処理装置はアテンション割り込みを検出後、その時点における受信データ数を読み取って、これをWCとする受信DMAオーダを発行するようにしたので、受信データ数が分からないことに起因する問題を解消可能としたデータ転送制御方式を実現できるという顕著な効果を奏するものである。

4. 図面の簡単な説明

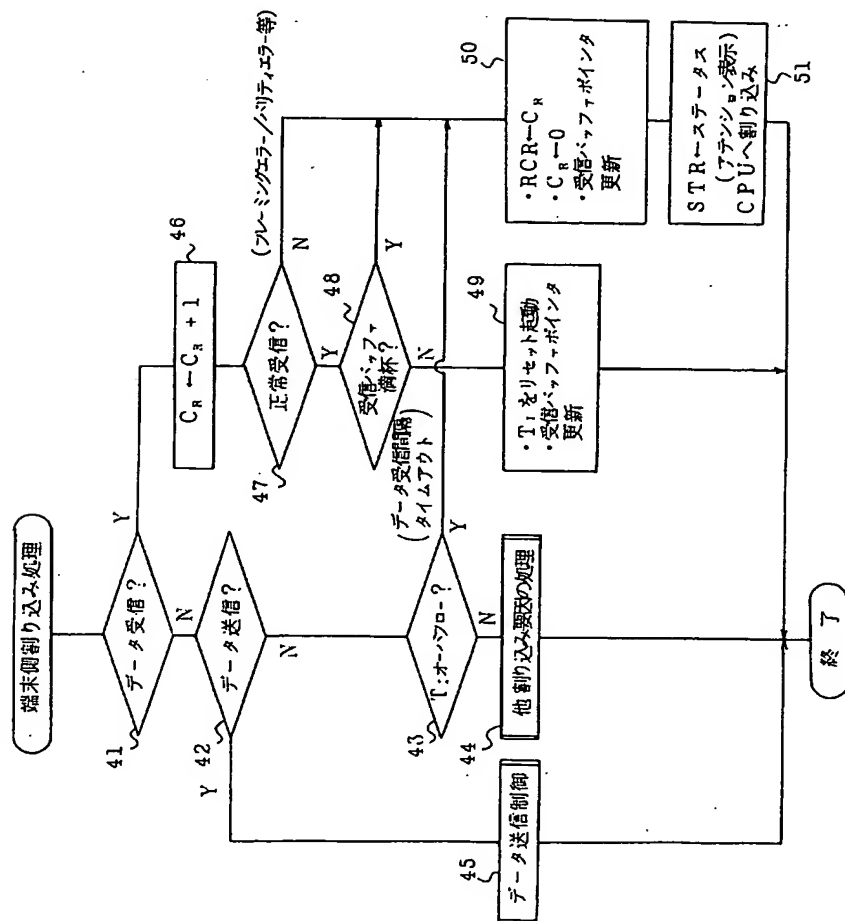
第1図は本発明の実施例である基本システム構成におけるIOC内のローカル処理回路33端末側割り込み処理のフローチャート、第2図はデータ転送制御の基本システム構成を示す図、第3図

は非同期行列データ転送方式におけるデータ単位を示す図、第4図は実施例の基本システム構成におけるI/Oの内部構成例を示す図、第5図は従来のデータ転送制御方式の例を示す図、第6図はその動作の概要を示す図である。

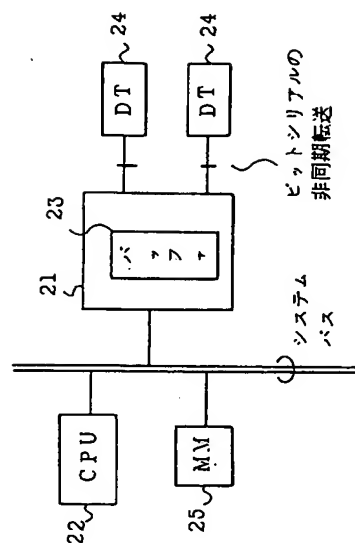
21: 入出力制御装置(I/O)、22: CPU、23: バッファ、24: データ端末装置、31: システムバスインタフェース回路、32: アダプタ回路、33: ローカル処理回路、34: メモリ、35: タイマ制御回路、36: 汎用データ送受信回路、37: 割り込み制御回路。

代理人 弁理士 磯村 雅 俊

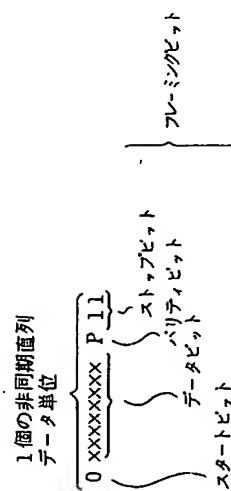
第 1 図



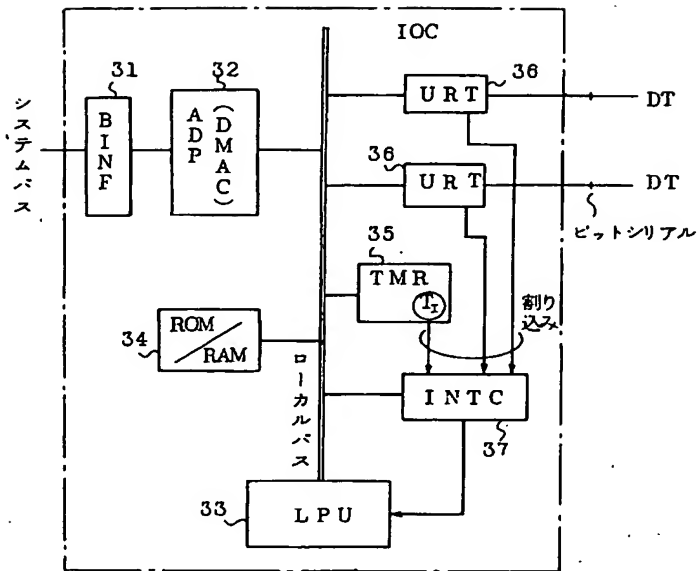
第 2 図



第 3 図

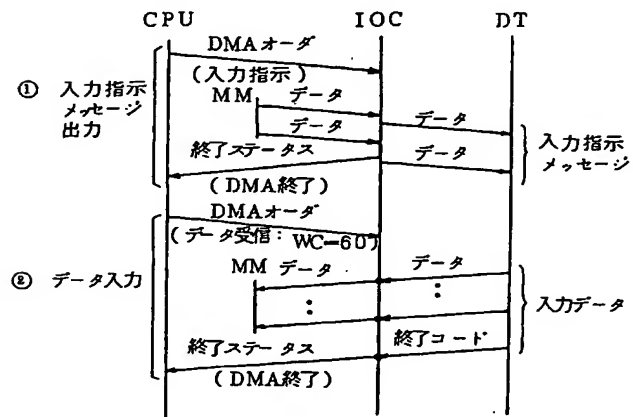


第 4 図



第 5 図 (その1)

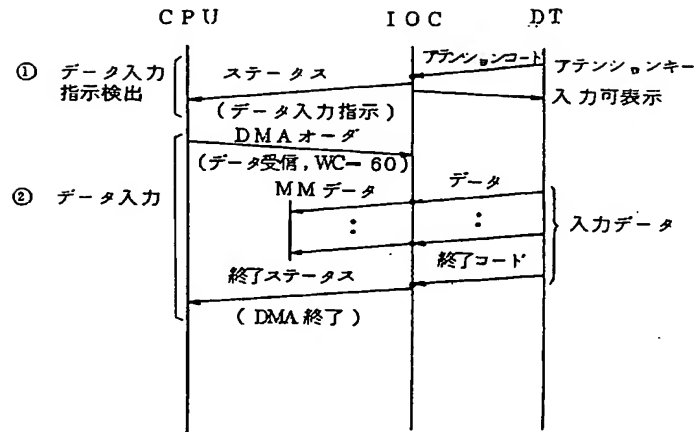
(a) ケース1:



(注) + : データ受信制御

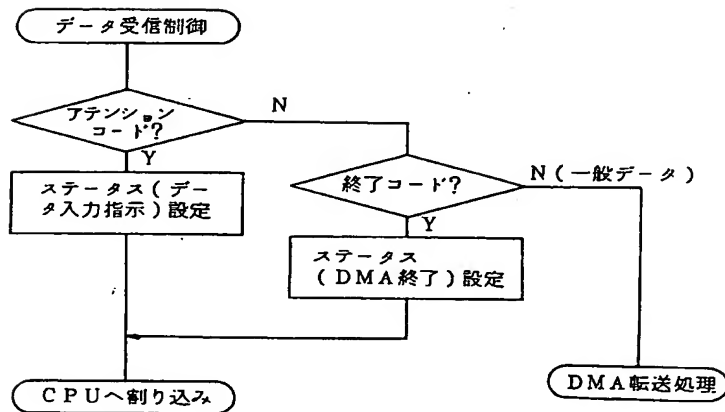
第 5 図(その2)

(b) ケース2:



(注) \vdash : データ受信制御

第 6 図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-102951

(43)Date of publication of application : 03.04.1992

(51)Int.Cl. G06F 13/00
G06F 13/12
G06F 15/00

(21)Application number : 02-220587

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>
HITACHI LTD

(22)Date of filing : 22.08.1990

(72)Inventor : MASUDA ETSUO
UEMORI AKIRA
NAMIKAWA IKUO
KOBAYASHI HIROTSUYO

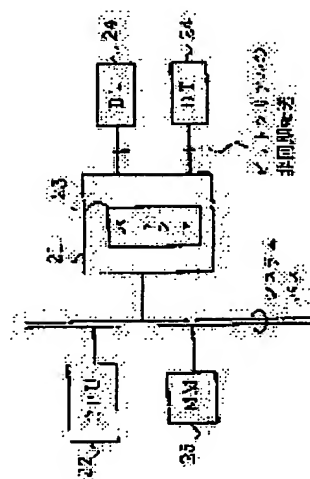
(54) DATA TRANSFER CONTROL SYSTEM

(57)Abstract:

PURPOSE: To allow this data transfer control system to correspond also to a terminal using a different end character by providing an input/output control device with a timer for monitoring a data receiving interval, and when a timer value reaches a regulated value, deciding the end of receiving data.

CONSTITUTION: A data terminal equipment(DT) 24 is stored in an asynchronous serial interface and the DMA transfer of transitting/receiving data relating to the DT 24 is executed to/from a main storage device based upon control from a central processing unit(CPU) 22. The receiving interval monitoring timer for monitoring the data receiving interval is included in the I/O control device 21, and when the timer value of the timer reaches the previously set regulated value, an attention interruption is applied to the CPU 22. Namely, data to be DMA transferred are discriminated by the monitoring of the data receiving interval instead of its discrimination based upon the identification of an end character.

Thereby, the data transfer control system can correspond also to a terminal using a different end character and generality to connecting terminals can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11) Japanese Unexamined Patent Application Publication No.
4-102951

(43) Publication Date: April 3, 1992

(21) Application No. 2-220587

(22) Application Date: August 22, 1990

(71) Applicant: Nippon Telegraph and Telephone Corp.

(71) Applicant: HITACHI Ltd.

(72) Inventor: MASUDA et al.

(74) Agent: Patent Attorney, Masatoshi ISOMURA

SPECIFICATION

1. Title of the Invention: DATA TRANSFER CONTROL SYSTEM

2. Claims

(1) A data transfer control system of an input/output control device to store a data terminal equipment by an asynchronous serial interface and execute the DMA transfer of the transmission/reception data on the data terminal equipment based on the control from a central processing unit to/from a main memory, wherein a reception interval monitoring timer to monitor the data reception interval is provided on the input/output control device, and the warning interrupt is performed on the central processing unit when the monitoring timer reaches a predetermined value.

(2) The data transfer control system according to Claim 1, wherein the reception data number at the time is notified to the central processing unit by the warning interrupt, and the DMA transfer is executed based on the reception DMA order from the central processing unit.

(3) A data transfer control system of an input/output control device to store the asynchronous serial interface by a data terminal equipment and execute the DMA transfer of the transmission/reception data on the data terminal device based on the control from a central processing unit to/from a main memory, wherein an error detection means of the reception data is provided on the input/output control device, the status to indicate the case by the warning interrupt and the reception data number at the time are notified to the central processing unit when the error detection means detects an reception error, and the DMA transfer is executed based on the reception DMA order from the central processing unit.

(4) A data transfer control system of an input/output control device to store a data terminal equipment by an asynchronous serial interface, and execute the DMA transfer of the transmission/reception data on the data terminal equipment based on the control from a central processing unit to/from a main memory, wherein a reception data buffer of a predetermined size and a means to measure and maintain

the reception data are provided on the input/output control device, the status to indicate the case by the warning interrupt and the reception data number at the time are notified to the central processing unit when the reception data buffer is full, and the DMA transfer is executed based on the reception DMA order from the central processing unit.

(5) The data transfer control system having all the means according to Claims 1 through 4, wherein the status to indicate the case by the warning interrupt and the reception data number at the time are notified to the central processing unit, and the DMA transfer is executed based on the reception DMA order from the central processing unit, when any one of the following cases occur: (1) a case in which the monitoring timer reaches a predetermined value; (2) a case in which the error detection means detects a reception error; and (3) a case in which the reception data buffer is full.

3. Detailed Description of the Invention

[Technical Field of the Invention]

The present invention relates to a data transfer control system of an input/output control device to store a data terminal equipment, and, in particular, it relates to a data transfer control system when transferring the reception data received from the data terminal equipment to a main memory.

[Description of the Related Art]

Fig. 2 shows a basic system configuration of the data transfer control. In the figure, reference numeral 21 denotes an input/output control device (hereinafter, referred to as an "IOC") which accumulates the data transmitted from a CPU 22 side in a buffer 23 once, transfers it to a designated data terminal equipment 24 (hereinafter, referred to as a "DT"), or, on the contrary, accumulates the data received from the DT 24 in the buffer 23 once, and transfers it to a CPU 22 side. Here, the IOC and the DT are connected to each other via a bit-serial interface such as an RS232C, and a transfer system thereof is an asynchronous system to add a start bit and a stop bit for each character.

Fig. 3 shows the data unit in the asynchronous serial data transfer system. As shown in the figure, the asynchronous serial data unit is constituted of one start bit and one, one and a half, or two stop bits.

In the basic configuration shown in Fig. 2, the system in which the CPU 22 receives the data on the DT 24 from an IOC 21 includes two kinds as shown below,

(1) Program transfer system:

A system which checks the reception status in the IOC 21 by a program, and sequentially reads it, and

(2) DMA transfer system:

A system which issues a reception DMA order to the IOC 21, allows the transfer between IOC and MM (the main memory) to be performed by the IOC 21 itself, and waits for the report on the completion of the transfer from the IOC 21.

The object of the present invention is the latter one.

Fig. 5 shows an example of a known data transfer control system, and is a sequence flowchart when the CPU inputs a series of data from the DT. In a case 1 shown in Fig. 5(a), the CPU side instructs the data input to the DT by the input instruction message, and the DT side receiving this inputs the data, so to speak, a case of the data input with the initiative in the CPU. In a case 2 shown in Fig. 5(b), status information that the data to be input from the DT to the CPU side is present through the warning interrupt, and then, the data is input from the DT, so to speak, a case of the data input with the initiative in the DT.

In the (2) data input phase in the case 1 and the case 2, the CPU issues a DMA order to the IOC, while the value of the transfer data number (WC) designated in the order is not known at this time, and ∞ or the invalid data is set. The IOC receiving the DMA order executes the data reception control according to the operational flow shown in Fig. 6. In other words, the DMA transfer DT to the MM is performed every time when receiving the general data.

The IOC checks whether or not the data is an end

character every time when the data is received from the DT because WC in the DMA is $WC = \infty$ or the invalid data, and cannot be used as the transfer completion condition, and in a case of the end character, it is recognized that the DMA processing is completed, status information, the transfer data number or the like are set, and the CPU is interrupted.

In the above-described data input processing, every time when one data from the DT is received, the IOC shows a method of executing the DMA transfer to the MM synchronous with the operation of the DT. However, there can be a method of performing the continuous accumulation in the buffer built in the IOC before the DMA transfer ring receives the end character, and performing the DMA transfer all together when the above-described character is received, in other words, transfer asynchronous to the DT operation.

Regarding the known technology, reference is made to the description in "D10 type automatic exchanger, No. 8 Input/output device", edited by Nippon Telegraph and Telephone Corp. (issued by Telecommunication Mutual Aid Society, June 1972), or "Configuration of improved common line signal device" (Report on research for practical use, Vol. 28, No. 4, issued in April, 1979 by Nippon Telegraph and Telephone Corp., Musashino Electro-communication Research Institute).

[Problems to be Solved by the Invention]

The following problems raise in the above-described known technology.

(1) Since this is a method of determining completion of the DMA transfer by the detection of the end character, this method cannot be coped with when a code of the end character or a different terminal of the end character itself is connected. In other words, there raises a problem that the IOC lacks in flexibility to the difference of the connection terminal.

(2) Since the CPU issues the DMA order to the IOC before the IOC completes reception of the data for the DMA transfer object from the DT, the WC value in the DMA order must be $WC = \infty$, or the invalid data. Therefore, when the completion report is received, the normal completion of the order cannot be determined with the WC value in the completion status. In other words, the IOC must include in status information during the completion interrupt, the following items which are unnecessary for transmission:

- * success or failure of the order execution result, and
- * the reception data number.

As a result, disagreement occurs between the transmitted DMA order and the contents of the completion status. On the other hand, if agreement is performed unreasonably, a redundant field occurs in status information on the transmission side.

(3) Similarly, since the reception data number is not known in advance, the time from the time of issuing the DMA order to the time of reporting completion cannot be known in advance, and the timing monitor before the report of completion is generally performed to detect troubles of the IOC. In this situation, the maximum possible DMA transfer number must be expected, resulting in larger delay in detecting troubles.

The present invention is achieved in light of the above-described circumstances, and a first object thereof is to provide a data transfer control system which is ready for a case in which a code of the end character or a different terminal of the end character itself is connected to the IOC. A second object thereof is to provide a data transfer control system to notify the central processing unit as necessary of the reception data number at the time when the central processing unit issues the DMA order.

[Means for Solving the Problems]

The above-described objects can be achieved by a data transfer control system of an input/output control device to store a data terminal equipment by an asynchronous serial interface and execute the DMA transfer of the transmission/reception data on the data terminal equipment based on the control from a central processing unit to/from a main memory, wherein a reception interval monitoring timer

to monitor the data reception interval is provided on the input/output control device, and the warning interrupt is performed on the central processing unit when the monitoring timer reaches a predetermined value; or data transfer control system of an input/output control device to store a data terminal equipment by an asynchronous serial interface, and execute the DMA transfer of the transmission/reception data on the data terminal equipment based on the control from a central processing unit to/from a main memory, wherein at least any one of a reception interval monitoring timer to monitor the data reception interval, a reception data error detection means and a means to measure and maintain the reception data buffer of the predetermined size and the reception data is provided on the input/output control device, and the status to indicate the case by the warning interrupt and the reception data number at the time are notified to the central processing unit, and the DMA transfer is executed based on the reception DMA order from the central processing unit, when any one of the following cases occur: (1) a case in which the monitoring timer reaches a predetermined value; (2) a case in which the error detection means detects a reception error; and (3) a case in which the reception data buffer is full.

[Operation]

In the data transfer control system of the present

invention, the IOC determines the object data of the DMA transfer by monitoring the data reception interval in place of identification by the end character, and is ready for the determination even by a terminal using different end character, and enhancing vulnerability to a connection terminal. Further, the CPU detects the warning interrupt, reads out the reception data number in the IOC, and issues the reception DMA order with the reception data number as the WC to the IOC, and can unify the transmission DMA processing and status information.

In addition, the DMA data transfer number is performed for the reception buffer size even at maximum (for example, 256 byte), and if the actual data transfer quantity is equal to or greater than the buffer size, the data transfer is performed with a plurality of DMA transfers, the required time from the time of the DMA order issue to the time of reporting the normal completion is acquired, and the trouble detection timing value of the IOC need not be increased to be extremely large.

[Embodiments]

The embodiments of the present invention will be described below in detail with reference to the drawings.

Fig. 4 shows an example of the internal configuration of the IOC in a basic system configuration which is an embodiment of the present invention. In the figure,

reference numeral 31 denotes a system bus interface circuit (BINF), reference numeral 32 denotes an adaptor circuit (ADP) which has the DMA transfer control function to the MM, and also has control registers for a CPU to control the IOC, reference numeral 33 denotes a local processing circuit (LPU) to execute the main control in the IOC, and reference numeral 34 denotes a memory (a ROM/a RAM) for the programs to be executed by the local processing circuit 33 and for the data buffer.

Further, reference numeral 35 denotes a timer control circuit (TMR) having a timer to measure the data reception interval, reference numeral 36 denotes a general data transmission-reception circuit (URT) to from the DT, reference numeral 37 denotes an interruption control circuit (INTC) which receives the interruption from the adaptor circuit 32, the timer control circuit 35 and the general data transmission-reception circuit 36, and selectively outputs it to the local processing circuit 33. The IOC shown in the present embodiment stores two general data transmission-reception circuits 36 via ports of the serial interface, and up to two DTs can be connected thereto. But the number of DTs is not limited to two.

Hereafter, the operation on the reception side will be described with reference to Fig. 4. The data (for example, constituted of 8-bit) input from each DT by the asynchronous

system is received by the corresponding general data transmission-reception circuit 36. The general data transmission-reception circuit 36 performs the serial/parallel conversion of the reception data, and generates interruption of the data reception in the local processing circuit 33 via the interruption control circuit 37. The local processing circuit 33 which detects the interruption identifies the interruption origin and the interruption factor by the interruption processing program, accumulates the reception data in the reception buffer on the RAM from the corresponding general data transmission-reception circuit 36 via a local bus, and adds +1 to a reception data number counter C_R .

On the other hand, a reception interval measuring timer T_I is maintained in the timer control circuit 35 so as to be ready for the general data transmission-reception circuit 36, and the threshold τ is preset for time-out detection. The local processing circuit 33 which receives the data reception interruption from the general data transmission-reception circuit 36 generates a reset/start request of the timer T_I corresponding to the general data transmission-reception circuit 36 in the timer control circuit 35. The timer control circuit 35 which receives the request starts the timer counting.

When the timer value reaches τ before the next

rest/start request from the local processing circuit 33 arrives, the timer control circuit 35 generates interruption of the timing over of the data reception interval in the local processing circuit 33. The local processing circuit 33 which receives the interruption transfers the present value of the reception data to a control register (RCR), performs the attention display in a status register (STR), and generates interruption in the CPU. Here, any interruption means is acceptable. In other words, interruption may be performed either via the bus or via a individual lead wire.

The CPU which detects interruption from the IOC reads the status register (STR), and when the CPU understands the interruption as warning interrupt, the CPU further reads the control register (RCR), acquires the reception data number, edits the reception DMA order with the reception data number as the transfer data number (WC), writes it in the control register in the adaptor circuit, and starts the IOC. The local processing circuit 33 in the IOC understands the start of the IOC by the interruption via the adaptor circuit to the interruption control circuit, and thereafter, it performs the generally known DMA transfer processing. When the processing is ended normally, the ending report is performed with $WC = 0$.

Fig. 1 shows the terminal side interruption processing

flow of the local processing circuit 33 in the IOC. As shown in the figure, factors of the warning interrupt to promote the DMA reception to the CPU side actually include three as shown below, and interrupt to the CPU is performed by the factor occurred first.

(1) The data reception errors such as framing error and parity error occur: Here, the framing error means a case in which the reception device does not detect the start bit and the stop bit by the data unit in the flow of the asynchronous series data.

(2) The data reception interval exceeds the specified value (τ).

(3) The reception buffer is full.

In a case of (1) above, the final data in the reception buffer becomes the data encountering the error. In other words, the error data is processed not by the IOC, but by the CPU side.

According to the present embodiment, the IOC determines the data for the DMA transfer not by the identification of the end character but by monitoring the data reception interval, and even a terminal using different end characters may be adaptable, and versatility to the connection terminal is enhanced. Further, the CPU detects the warning interrupt, reads the reception data number in the IOC, and generates the reception DMA order with the reception data number as WC

in the IOC, and can unify the transmission DMA processing with status information.

The above-described embodiment shows one example of the present invention, and the present invention is not limited thereto. For example, in the embodiment, an example is given, in which the timer control circuit is a circuit independent from the local processing circuit. However, needless to say, the timer control circuit can be realized by the program of the local processing circuit. Further, in the basic configuration shown in Fig. 2 illustrates a single processor configuration. However, even in the multi-processor configuration, similar operation can be performed by assigning the CPU 22 as a control origin processor, the MM 25 as an individual memory of the CPU 22 or a common memory.

[Advantages]

As described above in detail, according to the present invention, in the data transfer control system of the input/output control device in which the data terminal equipment is stored in the asynchronous serial interface, and the DMA transfer of the transmission-reception data on the data terminal equipment is performed to/from the main memory based on the control from the central processing unit, the reception interval monitoring timer to monitor the data reception interval is provided on the input/output control

device, and the ending of the reception data is determined when the monitoring timer reaches the preset value, resulting in the advantage that the data transfer control system ready for the terminal using different end character can be realized. Further, the central processing unit detects the warning interrupt, reads the reception data number at the time point, and generates the reception DMA order with the reception data number as WC, and a remarkable effect can be demonstrated in that the data transfer control system capable of solving a problem attributable to no knowledge of the reception data number can be realized.

4. Brief Description of the Drawings

Fig. 1 is a flowchart of the terminal side interruption processing of the local processing circuit 33 in the IOC in the basic system configuration which is an embodiment of the present invention, Fig. 2 shows the basic system configuration of the data transfer control, Fig. 3 shows the data unit in the asynchronous serial data transfer system, Fig. 4 shows an example of the internal configuration of the IOC in the basic system configuration of the embodiment, Fig. 5 shows an example of a known data transfer control system, and Fig. 6 shows an outline of the operation thereof, respectively.

21: input/output control device (IOC), 22: CPU, 23: buffer,

24: data terminal equipment, 31: system bus interface circuit, 32: adaptor circuit, 33: local processing circuit, 34: memory, 35: timer control circuit, 36: general data transmission-reception circuit, 37: interruption control circuit

Agent: Patent Attorney, Masatoshi ISOMURA

FIG. 1

(1) TERMINAL SIDE INTERRUPT
41 IS DATA RECEIVED?
42 IS DATA TRANSMITTED?
43 T_1 OVERFLOW?
44 PROCESSING OF OTHER INTERRUPT FACTOR
45 DATA TRANSMISSION CONTROL
(2) END
47 IS NORMAL RECEPTION?
(3) (FRAMING ERROR/PARITY ERROR, ETC.)
48 IS RECEPTION BUFFER FULL?
(4) DATA RECEPTION INTERVAL TIME-OUT
49 · RESET AND START OF T_1
 · UPDATE RECEPTION BUFFER POINTER
50 · UPDATE RECEPTION BUFFER POINTER
51 $STR \leftarrow$ STATUS (DISPLAY WARNING)
 INTERRUPT TO CPU

FIG. 2

23 BUFFER
(1) SYSTEM BUS
(2) ASYNCHRONOUS TRANSFER OF BIT SERIAL

FIG. 3

- (1) ONE ASYNCHRONOUS SERIES DATA UNIT
- (2) START BIT
- (3) DATA BIT
- (4) PARITY BIT
- (5) STOP BIT
- (6) FRAMING BIT

FIG. 4

- (1) SYSTEM BUS
- (2) BIT SERIAL
- (3) LOCAL BUS
- (4) INTERRUPT

FIG. 5 (NO. 1)

- (a) CASE 1
 - (1) INPUT INSTRUCTION MESSAGE OUTPUT
 - (2) DATA INPUT
 - (A) DMA ORDER
 - (B) (INPUT INSTRUCTION)
 - (C) DATA
 - (D) INPUT INSTRUCTION MESSAGE

- (E) COMPLETION STATUS
- (F) (DMA COMPLETION)
- (G) DMA ORDER
- (H) (DATA RECEPTION: WC = 60)
- (I) COMPLETION STATUS
- (J) COMPLETION CODE
- (K) (DMA COMPLETION)
- (L) INPUT DATA
- (M) (NOTE): DATA RECEPTION CONTROL

FIG. 5 (NO. 2)

- (b) CASE 2:
 - (1) DATA INPUT INSTRUCTION DETECTION
 - (2) DATA INPUT
 - (A) STATUS
 - (B) (DATA INPUT INSTRUCTION)
 - (C) DMA ORDER
 - (D) (DATA RECEPTION, WC = 60)
 - (E) DATA
 - (F) COMPLETION STATUS
 - (G) (DMA COMPLETION)
 - (H) WARNING CODE
 - (I) WARNING KEY
 - (J) INPUT ACCEPTANCE DISPLAY

- (K) DATA
- (L) COMPLETION CODE
- (M) INPUT DATA
- (N) (NOTE): DATA RECEPTION CONTROL

FIG. 6

- (1) DATA RECEPTION CONTROL
- (2) WARNING CODE?
- (3) SET STATUS (DATA INPUT INSTRUCTION)
- (4) INTERRUPT TO CPU
- (5) IS COMPLETION CODE?
- (6) N (GENERAL DATA)
- (7) SET STATUS (DMA COMPLETION)
- (8) DMA TRANSFER

FIG. 4

第 4 回

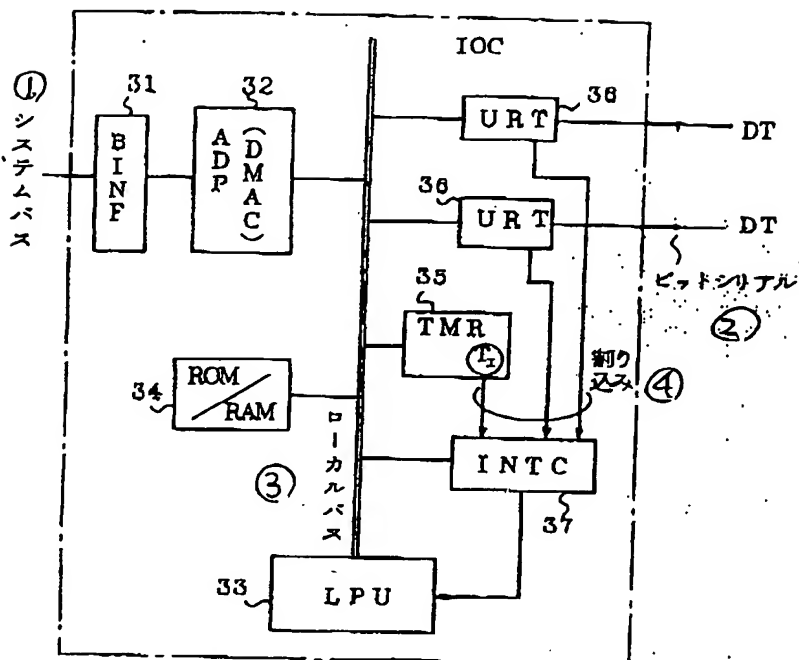
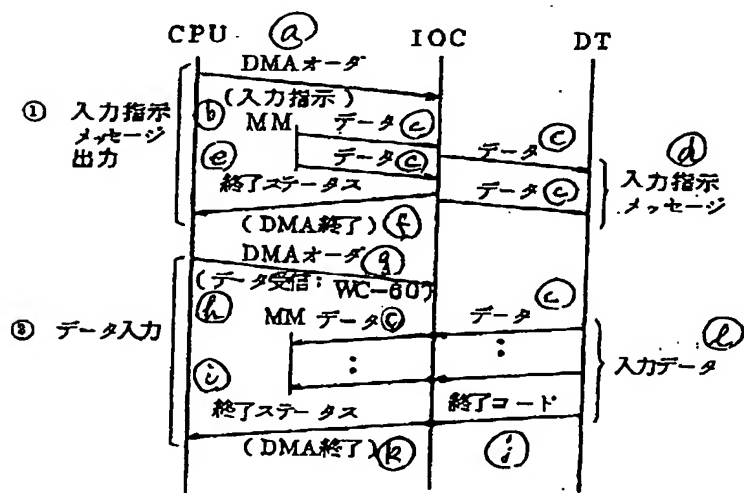


FIG. 5 (No. 1)

第 5 図 (その1)

(a) ケース1:



③


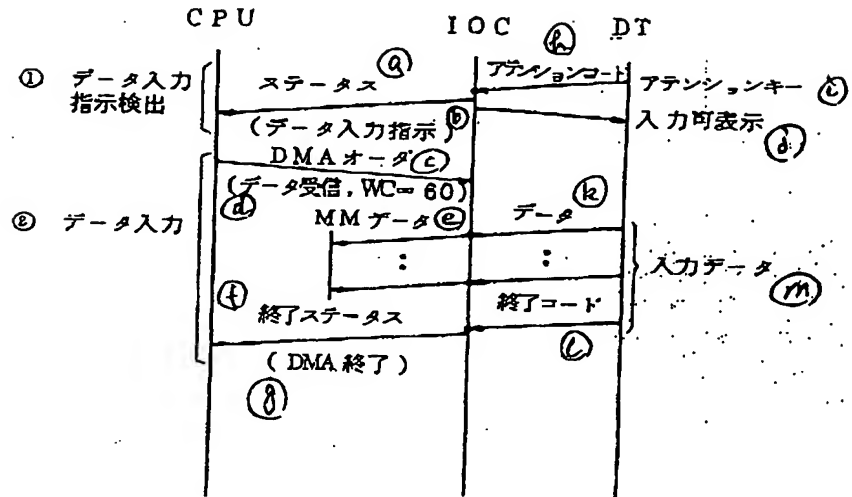
(注)  : データ受信制御

FIG. 5 (No. 2)

第 5 図 (その 2)

(b) ケース 2 :



(注) + : データ受信制御

BEST AVAILABLE COPY

FIG. 6

第 6 図

